

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148672

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

H01S 3/18

(21)Application number : 07-309632

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 29.11.1995

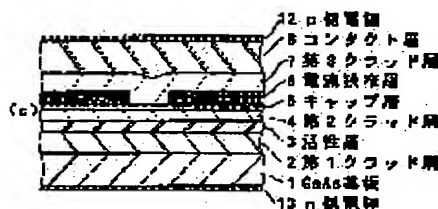
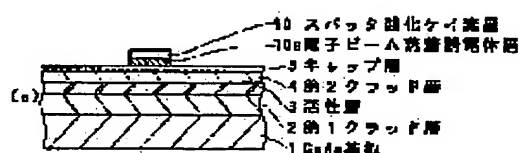
(72)Inventor : MATSUBARA KUNIO

(54) MANUFACTURE OF SEMICONDUCTOR LASER DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To recent dopant of Zn from being abnormally diffused into a GaAs cap layer so as to enable a LD (semiconductor laser) device to be prevented from increasing in resistance and improved in manufacturing yield.

SOLUTION: A first conductivity-type $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) first clad layer 2, an $\text{Al}_y\text{Ga}_{1-y}\text{As}$ ($1 \leq y \leq x \leq 1$) active layer 3, a second conductivity-type $\text{Al}_x\text{Ga}_{1-x}\text{As}$ second clad layer 4, and a second conductivity-type GaAs cap layer 5 are successively laminated on a first conductivity-type GaAs substrate 1. Furthermore a dielectric layer is formed thereon and patterned, an $\text{Al}_w\text{Ga}_{1-w}\text{As}$ ($0 \leq w \leq 1$) current constriction layer 6 is selectively formed only on the cap layer 5, then the dielectric layer is removed, and a second conductivity-type $\text{Al}_x\text{Ga}_{1-x}\text{As}$ third clad layer 7 is formed on all the surface for the formation of an AlGaAs semiconductor laser device, wherein the dielectric layer is a laminates layer composed of a dielectric layer 10a formed through an electron beam evaporation method and a silicon oxide layer 10 formed through a sputtering method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

【0008】実際に、従来の方法で製造したLD素子に、GaAsキャップ層5のドーパントZnを以ての成膜時に異常拡散を起し、GaAsキャップ層5の抵抗が高くなり素子特性が悪化することである。

【0009】実際に、従来の方法で製造したLD素子に1枚のウェハより無作為に500個取り出し光出力特性を測定したところ、高抵抗の素子が13.5個生じ、不良率は2.7%であった。このように、不良は必ずしもウェハ全面に発生するのではないが、素子の製造歩留りを低下させる。この発明の目的は、GaAsキャップ層のドーパントであるZnの異常拡散を防止し、高抵抗のLD素子の発生を抑え、LD素子の製造歩留りを向上させることにある。

【0010】上記の目的を達成するための手段として、本発明は、第1導電型のGaAs基板の一面上に、第1導電型のAl_{0.1}Ga_{0.9}As (0.05 ≤ x ≤ 1) の組成の第1クラッド層、Al_{0.1}Ga_{0.9}As (0.05 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl_{0.1}Ga_{0.9}Asの組成の第2クラッド層、第2導電型のGaAsのキャップ層を順に積層し、さらに誘電体層を形成し、この誘電体層をパターンニングした後、Al_{0.1}Ga_{0.9}As (0.05 ≤ x ≤ 1) の組成の電流集束層をキャップ層の上に選択成長した後、誘電体層を除き、全面に第2導電型のAl_{0.1}Ga_{0.9}Asの組成の第3クラッド層を積層する工程を有するAlGaAs系半導体レーザー素子の製造方法において、前記誘電体層は、電子ビーム蒸着による誘電体層と水でスバットにより形成される酸化ケイ素の積層であることとする。

【0011】前記電子ビーム蒸着による誘電体層は酸化ケイ素または窒化アルミニウム層である。電子ビーム蒸着またはスパッタ酸化ケイ素層による応力効果はなく、電子ビーム蒸着された誘電体層は、スパッタにより形成された酸化ケイ素層よりかなり低密度であり機械的強度は小さく、見かけ上同じ熱膨張係数であっても、スパッタ誘電体層より結晶に与えるストレスは小さい。しかし、低密度のためエッチング速度は大きく幅の狭いマスクを形成することは困難である。

【0012】本発明のように、直接Al_{0.1}Ga_{0.9}As結晶上に、電子ビーム誘電体層を介在させてスパッタ酸化ケイ素を積層すれば、電子ビーム誘電体層はスパッタ酸化ケイ素層によるストレスを吸収し結晶へのストレスを緩和し、一ガススパッタ酸化ケイ素層はその下の電子ビーム誘電体層の過度のエッチングを防止している。従って、パターンニング精度はスパッタ酸化ケイ素層がマスクの場合と変わらず、GaAsキャップ層のストレスは小さくドープメントであるZnの異常拡散を防止でき、製造歩留りの向上が期待できる。

【0013】以下、本発明を実施例に基づき説明する。

実施例1

図1は本発明に係るLD素子の主な製造工程後のウェハの一部を示し、(a)は酸化ケイ素層と誘電体層のパターンニング工程後の断面図、(b)は電流集束層の選択エビタキシャル成長後の断面図、(c)は電極用金属膜成長後の断面図である。

【0014】基板1への、第1クラッド層からGaAsキャップ層5の成長は、および電流集束層6から電極層形成までは従来技術と同一であるからこれを省略し、従来技術と異なるキャップ層5への誘電体層の形成及び除去の方法について説明する。この実施例は、誘電体層を酸化ケイ素とした場合である。まず、キャップ層5の上の電子ビーム蒸着により厚さ3.5nmの酸化ケイ素層10を形成を行った。成膜条件はグラデュアル二酸化ケイ素を原料とし、蒸気度は1 × 10⁻³ Pa、電子ビーム電流は50mA、基板温度は室温とした。次にスパッタによる厚さ6.5nmの酸化ケイ素層10の形成を行った。スパッタ条件は、ターゲットは溶融石英、Arガス圧力は4 Pa、投入電力は50W、基板温度は室温とした。

【0015】次に、通常のフォトリソグラフィによりストライプを形成し、以下従来技術と同様の工程を行いLD素子を製造した。電子ビーム蒸着による誘電体層を用いない理由は、電子ビーム蒸着により形成された層のエッチング速度は0.1 μm/秒と非常に遅いため、これを行うストライプの形成が難しいためである。これと比べスパッタにより形成された層のエッチング速度は、0.01 μm/秒と1桁遅いため、容易にストライプを形成できる。

【0016】電子ビーム蒸着酸化ケイ素層が増加すると、スパッタ酸化ケイ素層によるストレスの緩和ができず、厚過ぎるスパッタ酸化ケイ素層による応力効果がなくサイドエッチングが大きくなりマスクの寸法精度が低下する。こうして得られた1枚のウェハによりLD素子を無作為に取り出し、電流/光出力特性を評価した。その結果、高抵抗の素子は9個、不良率は1.8%と、従来技術の2.7%と比べて大幅に減少した。

【0017】先ず、キャップ層の上に、原料をグラデュアル窒化アルミニウムとし、実施例1と同じ条件で電子ビーム蒸着により厚さ3.5nmの窒化アルミニウム層を形成し、次に実施例1と同様に厚さ6.5nmのスパッタ酸化ケイ素層を形成した。以降、実施例1と同様に、LD素子製造し、同様の評価を行った。その結果、高抵抗の素子は5個、不良率は1.0%と従来の2.7%と比べて大幅に減少し、歩留りは向上した。

【0018】なお、本実施例では誘電体層として酸化アルミニウムを用いた。

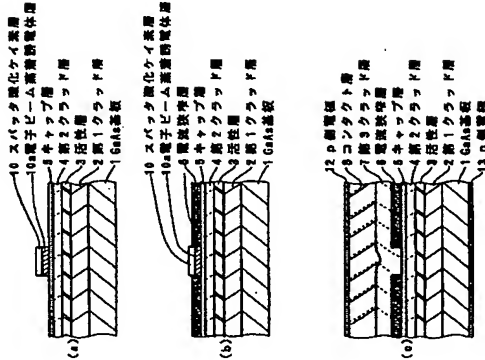
【0019】また、LD素子の特性のばらつきも減少し、機器への適用もし易くなる。

【図面の簡単な説明】
【図1】本発明に係るLD素子の主な製造工程後のウェハの一部の断面図を示し、(a)は酸化ケイ素層と誘電体層のパターンニング工程後の断面図、(b)は電流集束層の選択エビタキシャル成長後の断面図、(c)は電極用金属膜成長後の断面図である。

【図2】従来のLD素子の断面図を示し、(a)は酸化ケイ素層の選択エビタキシャル成長後の断面図、(b)は電流集束層の選択エビタキシャル成長後の断面図、(c)は電極用金属膜成長後の断面図である。

【図1】

【図2】



【図3】

